

CLIPPEDIMAGE= JP02000307078A
PAT-NO: JP02000307078A
DOCUMENT-IDENTIFIER: JP 2000307078 A
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

PUBN-DATE: November 2, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
NAKAMURA, RYOICHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP11112899
APPL-DATE: April 20, 1999

INT-CL (IPC): H01L027/108; H01L021/8242 ; H01L027/04 ;
H01L021/822

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a semiconductor device where a short circuit is restrained from occurring between lower electrodes even if the adjacent electrodes are made to approach one another in a capacitor provided with cylindrical lower electrodes where HSG is formed on their surfaces.

SOLUTION: A trench element isolation oxide film 11 is formed on the surface of a silicon substrate 10, and a transistor 3 is formed in an active region other than an element isolation region. The storage electrode 7 of a capacitor 15 buried in a third interlayer insulating film 14 through the intermediary of a first interlayer insulating film 12 and a second interlayer insulating film is formed above the transistor 3, and a protective film 16 is formed on the third interlayer insulating film 16. By the presence of the protective film 16, a short circuit is restrained from occurring between the adjacent storage electrodes 7 even if an HSG 21 is formed on the surface of the storage

electrode 7.

COPYRIGHT: (C) 2000, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-307078
(P2000-307078A)

(43) 公開日 平成12年11月2日 (2000.11.2)

(51) IntCl ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 27/108		H 0 1 L 27/10	6 2 1 Z 5 F 0 3 8
21/8242		27/04	C 5 F 0 8 3
27/04			
21/822			

審査請求 有 請求項の数 9 O L (全 10 頁)

(21) 出願番号 特願平11-112899

(22) 出願日 平成11年4月20日 (1999.4.20)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 中邑 良一

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 100108578

弁理士 高橋 留男 (外3名)

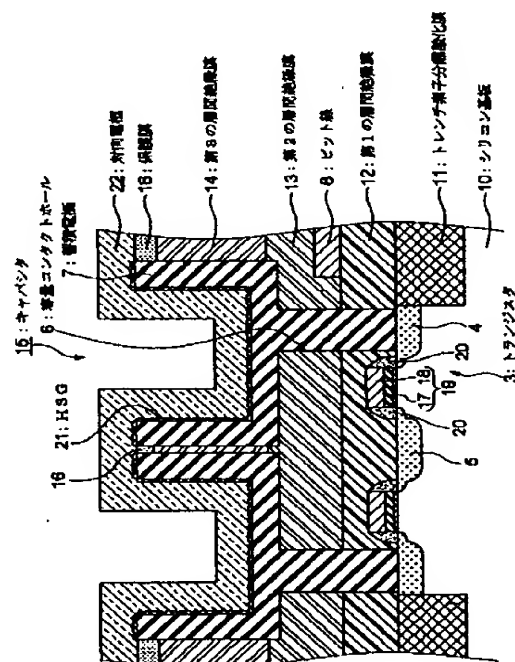
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 表面にHSGが形成されたシリンダ状の下部電極を有するキャパシタにおいて、隣接する下部電極同士を接近させてもこれら下部電極間でショート不良が生じることのない半導体装置を提供する。

【解決手段】 シリコン基板10の表面にトレンチ素子分離酸化膜11が形成され、素子分離領域以外の活性領域にトランジスタ3が形成されている。トランジスタ3の上方には第1の層間絶縁膜12、第2の層間絶縁膜13を介して第3の層間絶縁膜14の内部に埋め込まれた形のキャパシタ15の蓄積電極7が形成され、第3の層間絶縁膜14上に保護膜16が形成されている。この保護膜16の存在により、蓄積電極7表面上にHSG21を形成しても、接近した蓄積電極7間でショートが発生することがない。



【特許請求の範囲】

【請求項1】 半導体基板上方の絶縁膜に形成された凹部の側面および底面に沿って形成され、表面に多数のシリコン粒を有するシリコンからなるシリンダ状の下部電極を有する複数のキャパシタを備え、少なくとも隣接する前記下部電極の間に位置する前記絶縁膜の上面に、シリコン酸化膜のエッチングに対する耐性を有する保護膜が形成されたことを特徴とする半導体装置。

【請求項2】 前記保護膜が、シリコン窒化膜、酸化アルミニウム膜、炭化ケイ素膜のいずれかであることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記キャパシタが、前記半導体基板上に形成されたトランジスタとともにDRAMのメモリセルを構成することを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記キャパシタの下方にビット線が設けられたことを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記キャパシタの上方にビット線が設けられたことを特徴とする請求項3に記載の半導体装置。

【請求項6】 半導体基板の上方に絶縁膜を形成する工程と、前記絶縁膜の上面にシリコン酸化膜のエッチングに対する耐性を有する保護膜を形成する工程と、前記保護膜および前記絶縁膜をパターンニングすることによりその底面が前記絶縁膜に達する凹部を形成する工程と、少なくとも前記凹部の側面および底面に沿ってキャパシタの下部電極となるシリコン膜を成膜する工程と、シリコン酸化膜のエッチング液を用いて前記シリコン膜の表面に形成されたシリコン酸化膜を除去する工程と、前記シリコン膜の表面に多数のシリコン粒を形成してシリンダ状のキャパシタの下部電極を形成する工程とを有すること
30

【請求項7】 前記保護膜として、シリコン窒化膜、酸化アルミニウム膜、炭化ケイ素膜のいずれかを用いることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 前記シリコン膜成膜工程において、前記凹部の側面および底面を含む基板全面にシリコン膜を成膜した後、化学的機械的研磨を行って前記保護膜上面のシリコン膜を除去することにより前記保護膜を露出させるとともに、前記凹部の側面および底面に前記シリコン膜を残存させることを特徴とする請求項6または7に記載の半導体装置の製造方法。

【請求項9】 前記化学的機械的研磨を行う際に、前記凹部の側面上および底面上のシリコン膜を保護するための保護材を予め凹部に埋め込んでおき、化学的機械的研磨終了後に前記保護材を除去することを特徴とする請求項8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置とその

製造方法に関し、特に半導体基板の上方にシリンダ状に積層されたキャパシタ、いわゆるシリンダ形状のスタック型キャパシタを有する半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】 近年、DRAM (Dynamic Random Access Memory) 等の半導体装置では、高集積化の実現のために、各メモリセルを構成するキャパシタの占有面積当たりの静電容量を増大させることが要求されている。そこで、この要求に応え、基板の上方に積層して形成したスタック型キャパシタ、基板を深く掘り込んで形成したトレンチ型キャパシタ等、立体構造を持つキャパシタが多用されている。この際、各キャパシタを構成する蓄積電極（下部電極）をシリンダ（円筒）状の形状にすることで静電容量を増大させる手段が採られている。

【0003】 また、キャパシタの電極材料にはポリシリコンが多用されるが、このポリシリコン電極表面に半球状のシリコン粒 (Hemi-Spherical Grained Silicon, 以下、HSGと記す) を多数形成し、表面を凹凸状にすることにより電極の表面積を増やし、静電容量を増大させる試みもなされている。

【0004】 この種のキャパシタ構造の一例として、基板上方の絶縁膜に設けた凹部内にキャパシタを作り込む構造が、特開平10-79478号公報等に開示されている。この種の従来のDRAMメモリセルを図8(a)～(c)に示す。図8(a)～(c)は、特に、キャパシタの一方の電極である蓄積電極を形成する工程を順を追って示している。図8(a)に示すように、シリコン基板100上にゲート電極101、ソース・ドレイン領域をなすn型不純物拡散層102、103を有するトランジスタ104を形成した後、全面に第1の層間絶縁膜105を形成する。次に、第1の層間絶縁膜105を貫通してn型不純物拡散層102に達するビットコンタクトホール106を形成し、ビットコンタクトホール106を通じてn型不純物拡散層102と電気的に接続されたビット線107を形成する。

【0005】 次に、全面に第2の層間絶縁膜108を形成し、第2の層間絶縁膜108、第1の層間絶縁膜105を貫通してn型不純物拡散層103に達する容量コンタクトホール109を形成した後、容量コンタクトホール109をポリシリコンで埋め込む。次に、全面に第3の層間絶縁膜110を形成した後、これをパターンニングしてキャパシタ形成箇所に凹部110aを形成する。そして、全面にポリシリコン膜を成膜した後、化学的機械的研磨 (Chemical Mechanical Polishing, 以下、CMPと記す) によって第3の絶縁膜110上面のポリシリコン膜を除去するとともに、凹部110aの側面と底面のみにポリシリコン膜をシリンダ状の形状に残存させ、これを蓄積電極111とする。なお、第1の層間絶縁膜105、第2の層間絶縁膜108、第3の層間絶縁膜11

0等の層間絶縁膜には、 SiO_2 、BPSG等のシリコン酸化膜系の材料を用いるのが一般的である。

【0006】上記図8(a)で示した工程までで蓄積電極の原型は完成するが、ここで、蓄積電極の表面積を大きくしてキャパシタ容量を増大させるために、蓄積電極をなすポリシリコン膜の表面にHSGを形成する。HSG形成の反応時には、ポリシリコン膜中でのシリコン原子の移動が伴うが、ここでポリシリコン膜表面に酸化膜が形成されたりすると、酸化膜の存在によりシリコン原子の移動が阻害され、十分な粒径を持ったHSGが成長しないことがある。

【0007】ところで、製造工程中においてポリシリコン膜が露出した状態である程度の時間が経過すると、ポリシリコン膜表面に数nm以下の自然酸化膜が形成される。ところが、上述したように、この自然酸化膜がHSGの成長を阻害する要因となるため、通常、HSG形成工程の前処理として、ポリシリコン膜表面の自然酸化膜の除去を行っている。この前処理工程では、半導体製造プロセスでシリコン酸化膜の除去に多用されているフッ酸を含むエッチング液中にウェハを浸漬させ、自然酸化膜の除去を行うのが一般的である。

【0008】

【発明が解決しようとする課題】しかしながら、このHSGの前処理工程を経たウェハは、ポリシリコン膜表面の自然酸化膜が除去されるのみならず、図8(b)に示すように、最上面に露出した第3の層間絶縁膜110も若干エッチングされてしまい、シリンドラ状の蓄積電極111の上端が第3の層間絶縁膜110の上面から少し突出した状態となる。この状態でシリコンを含有するガス雰囲気下でウェハの熱処理を行うと、図8(c)に示すように、蓄積電極111をなすポリシリコン膜の全ての露出した表面にHSG112が形成されることになる。

【0009】メモリスルアレイにおいて接近した2つのキャパシタが存在する場合、HSG前処理前には、図8(a)に示すように、双方の蓄積電極111の間は第3の層間絶縁膜110によって完全に隔てられているが、HSG前処理後には、図8(b)に示すように、第3の層間絶縁膜110の上面が後退するため、双方の蓄積電極111の上端同士の外側側面が対向することになる(符号Cで示す箇所)。ここでHSG処理を行うと、図8(c)に示すように、この外側側面にもHSG112が形成されるため、これら隣接する2つの蓄積電極111の上端外側のHSG112同士が接近した状態になる。場合によってはこれらHSG、すなわち蓄積電極がショート不良を起こし、歩留まりが低下する恐れがあった。

【0010】今後、DRAMの微細化が進むにつれて、隣接するメモリスル間の間隔を狭めると、当然ながらメモリスルの中で大きな占有面積を要するキャパシタ間の間隔も狭めざるを得ず、設計上、2つの蓄積電極を極めて接近させて配置するケースが増えてくる。通常、HS

Gの粒径は0.05~0.1 μm 程度であるから、隣接する蓄積電極のHSG同士がショートしないためにはある程度のマージンをもって、隣接する蓄積電極間の間隔を例えば0.3 μm というように広く設計しなければならず、メモリスルの微細化に制約を与えることになってしまう。すなわち、メモリスルの微細化に際して、限られた占有面積の中で所定の容量を確保するために蓄積電極にHSGを形成する手法を採用しているながら、接近した蓄積電極においてはHSGを形成することが逆にメモリスルの微細化に制約を与える、という相反する状況を招いていた。

【0011】本発明は、上記の課題を解決するためになされたものであって、表面にHSGが形成されたシリンドラ状の下部電極を有するキャパシタにおいて、隣接する下部電極同士を接近させて配置してもこれら下部電極間でショート不良が生じることのない構造を有する半導体装置、およびその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置は、半導体基板上方の絶縁膜に形成された凹部の側面および底面に沿って形成され、表面に多数のシリコン粒を有するシリコンからなるシリンドラ状の下部電極を有する複数のキャパシタを備え、少なくとも隣接する下部電極の間に位置する絶縁膜の上面に、シリコン酸化膜のエッチングに対する耐性を有する保護膜が形成されたことを特徴とするものである。

【0013】そして、前記保護膜としては、シリコン窒化膜(Si_3N_4)、酸化アルミニウム膜(Al_2O_3)、炭化ケイ素膜(SiC)のいずれかを採用することができる。また、前記キャパシタが、半導体基板上に形成されたトランジスタとともにDRAMのメモリスルを構成するものであってもよい。その場合、ビット線の上方にキャパシタが設けられた構造、いわゆるCOB(Capacitor Over Bit-line)構造のメモリスル、ビット線の下方にキャパシタが設けられた構造、いわゆるCUB(Capacitor Under Bit-line)構造のメモリスル、のいずれにも本発明を適用することが可能である。

【0014】また、本発明の半導体装置の製造方法は、半導体基板の上方に絶縁膜を形成する工程と、絶縁膜の上面にシリコン酸化膜のエッチングに対する耐性を有する保護膜を形成する工程と、保護膜および絶縁膜をパターンニングすることによりその底面が絶縁膜に達する凹部を形成する工程と、少なくとも凹部の側面および底面に沿ってキャパシタの下部電極となるシリコン膜を成膜する工程と、シリコン酸化膜のエッチング液を用いてシリコン膜の表面に形成されたシリコン酸化膜を除去する工程と、シリコン膜の表面に多数のシリコン粒を形成してシリンドラ状のキャパシタの下部電極を形成する工程とを有することを特徴とする。

【0015】そして、前記保護膜の材料として、 Si_3N_4 膜、 Al_2O_3 膜、 SiC 膜のいずれかを用いることができる。また、前記シリコン膜成膜工程において、凹部の側面および底面を含む基板全面にシリコン膜を成膜した後、CMPを行って保護膜上面のシリコン膜を除去することにより保護膜を露出させるとともに、凹部の側面および底面にシリコン膜を残存させる方法を採用することができる。さらに、CMPを行う際に、凹部の側面上および底面上のシリコン膜を保護するための保護材を予め凹部内に埋め込んでおき、CMP終了後に保護材を除去するとよい。

【0016】従来は、HSG形成工程の前処理のフッ酸エッチングで自然酸化膜の除去を行う際にシリコン酸化膜系の絶縁膜が表面に露出していたため、隣接する下部電極の間に存在する絶縁膜が後退し、下部電極上端の外面側に形成されるHSG同士でショートが発生していた。これに対して、本発明では、隣接する下部電極の間に存在する絶縁膜の上面にシリコン酸化膜のエッチングに対する耐性を有する保護膜、例えば Si_3N_4 膜、 Al_2O_3 膜、 SiC 膜等の膜が形成されているため、HSG前処理のフッ酸エッチングを行ってもこの部分が後退することがなく、シリンダ状の下部電極の上端が保護膜上に突出することがない。したがって、隣接する下部電極同士の外面が対向することがなく、互いに接近する方向にHSGが成長することがないので、ショート不良の発生を確実に防止することができる。

【0017】

【発明の実施の形態】〔第1の実施の形態〕以下、本発明の第1の実施の形態を図1～図5を参照して説明する。図1は本実施の形態のDRAM（半導体装置）のメモリセルを示す平面図、図2は図1のA-A'線に沿う断面図、図3～図5は同メモリセルの製造工程を示すプロセスフロー図である。本実施の形態はCOB構造のDRAMメモリセルに本発明を適用した例である。

【0018】なお、本明細書では、シリコン粒の略称として“HSG”という用語を用いる。HSGには本来、“Hemi-Spherical（半球状の）”という意味が含まれるが、実際のシリコン粒は半球状に限らずのこ状であってもよいし、任意の不定形状のものも含まれる。ただし、図示の都合上、図面では半球状に描くことにす

る。

【0019】図1に示すように、1つの拡散層パターン1内を2本のゲート線2が横断し、2つのトランジスタ3が形成されている。各トランジスタのソース領域（またはドレイン領域）を構成するn型不純物拡散層4上に容量コンタクトホール6が形成され、容量コンタクトホール6を内部に含むように蓄積電極7のパターンがそれぞれ形成されている。COB構造の場合、容量コンタクトホール部で蓄積電極とビット線がショートするのを避けるために、容量コンタクトホール上にビット線を配置

するわけにはいかないので、拡散層パターン1を避けて（図1においては上方）ゲート線2と直交するように拡散層パターン1と平行にビット線8を配置するとともに、拡散層パターン1の中央にビット線8上に延びる接続部1aを形成し、この接続部1a上にビットコンタクトホール9を配置している。本実施の形態の場合、図1に示す1つの拡散層パターン1上の左右2つの蓄積電極7の間が、メモリセルアレイ全体で蓄積電極7同士の間隔が最も狭い箇所であり、その間隔gは例えば0.15 μm 程度である。

【0020】図2を用いて上記メモリセルの断面構造を説明すると、シリコン基板10の表面にトレンチ素子分離酸化膜11が形成され、素子分離領域以外の活性領域に2つのトランジスタ3が形成されている。各トランジスタ3の上方には第1の層間絶縁膜12、第2の層間絶縁膜13を介して第3の層間絶縁膜14の内部に埋め込まれた形のシリンダ型キャパシタ15（以下、単にキャパシタという）が形成され、第3の層間絶縁膜14上に保護膜16が形成されている。また、キャパシタ15の下方の第1の層間絶縁膜12上にはビット線8が形成されている。本実施の形態における各膜の材料は、第1の層間絶縁膜12、第2の層間絶縁膜13がシリコン酸化膜とBPSGの積層膜（図1、および図3～図5においては1層の膜として図示する）、第3の層間絶縁膜14がシリコン酸化膜とBPSGの積層膜またはアラズマシリコン酸化膜の単層膜、保護膜16がアラズマシリコン窒化膜である。

【0021】トランジスタ3は、ゲート電極19、ソース領域／ドレイン領域をなすn型不純物拡散層4、5を有している。ゲート電極19はリン等の不純物がドーピングされたポリシリコン膜17（以下、DOPOS膜と記す）とタングステンシリサイド膜18のタングステンポリサイド膜からなり、ゲート電極19の側壁にサイドウォール20が形成され、n型不純物拡散層4、5はLDD構造となっている。トランジスタ3をなす一方のn型不純物拡散層4に容量コンタクトホール6を介してキャパシタ15の蓄積電極7（下部電極）が接続され、蓄積電極7をなすシリコン膜の表面には多数のHSG21が形成されている。そして、蓄積電極7上に容量絶縁膜（図示略）、対向電極22（上部電極）が順次形成され、キャパシタ15が構成されている。蓄積電極7、対向電極22にはポリシリコン膜が、容量絶縁膜にはシリコン窒化膜が用いられる。

【0022】以下、上記構成のDRAMメモリセルの製造方法について図3～図5を用いて説明する。まず、図3(a)に示すように、シリコン基板10に深さ400 nm程度のトレンチ素子分離酸化膜11を形成した後、膜厚8 nmのゲート酸化膜23を形成する。次に、ゲート電極19となる膜厚100 nmのDOPOS膜17、膜厚100 nmのタングステンシリサイド膜18を基板

全面に順次成膜し、これらをパターンニングしてゲート長0.23 μ m程度のゲート電極19を形成する。次に、LDD構造のn型不純物拡散層4、5を形成するために、リンイオンをドーズ量 $1 \times 10^{13}/\text{cm}^2$ 、加速エネルギー30keVでイオン注入して低濃度不純物拡散層を形成し、膜厚100nm程度のシリコン酸化膜またはシリコン窒化膜によりゲート電極19の側壁にサイドウォール20を形成した後、砒素イオンをドーズ量 $7 \times 10^{13}/\text{cm}^2$ 、加速エネルギー50keVでイオン注入し、高濃度不純物拡散層を形成してn型不純物拡散層4、5とする。

【0023】次に、トランジスタ3を覆うように第1の層間絶縁膜12を全面に成膜する。この際には、膜厚100nmのシリコン酸化膜と膜厚400nmのBPSG膜を成膜し、合計で膜厚500nmの第1の層間絶縁膜12とする。その後、CMPを行い、第1の層間絶縁膜12の表面を平坦化する。CMPを行った後、ゲート電極19上の部分では第1の層間絶縁膜12の膜厚は200nm程度となる。

【0024】次に、図3(b)に示すように、第1の層間絶縁膜12を貫通してトランジスタ3のn型不純物拡散層5に達するビットコンタクトホール9を形成する。ビットコンタクトホール9の部分は図3(b)には図示されないが、孔径は0.25 μ mとする。次に、ビット線8となる膜厚150nmのタングステンシリサイド膜を全面に成膜し、これを線幅0.2 μ m程度にパターンニングしてビット線8とする。この際、ビットコンタクトホール9の内部にもタングステンシリサイドが埋め込まれ、ビット線8がn型不純物拡散層5と電気的に接続される。なお、ビット線8の材料には、タングステンシリサイドに限らず、タングステン、タングステンポリサイド等を用いることができる。

【0025】次に、図3(c)に示すように、ビット線8を覆うように第2の層間絶縁膜13を全面に成膜する。この際には、膜厚100nmのシリコン酸化膜と膜厚600nmのBPSG膜を成膜し、合計で膜厚700nmの第2の層間絶縁膜13とする。その後、CMPを行い、第2の層間絶縁膜13の表面を平坦化する。次に、第2の層間絶縁膜13、第1の層間絶縁膜12とともに貫通してトランジスタ3のn型不純物拡散層4に達する容量コンタクトホール6を形成する。ビットコンタクトホール9と同様、孔径は0.25 μ mとする。次に、低圧CVD法を用いて膜厚300nmのDOPOS膜24を全面に成膜した後、DOPOS膜24をエッチバックすると、容量コンタクトホール6の内部にのみDOPOS膜24が埋め込まれた状態となる。ここでは、エッチバックの代わりに、CMPを行って余分なDOPOS膜24を除去してもよい。

【0026】次に、図4(a)に示すように、第3の層間絶縁膜14を全面に成膜する。この際には、第2の層

間絶縁膜13と同様、膜厚100nmのシリコン酸化膜と膜厚600nmのBPSG膜を成膜し、合計で膜厚700nmの第3の層間絶縁膜14とする。次いで、プラズマCVD法を用いて膜厚100nmのシリコン窒化膜を形成し、保護膜16とする。この絶縁膜成膜工程では、第3の層間絶縁膜14としてシリコン酸化膜とBPSG膜の積層膜を用いることに代えて、シリコン酸化膜を用いることにし、シリコン酸化膜からなる第3の層間絶縁膜とシリコン窒化膜からなる保護膜をプラズマCVD法を用いて連続成膜するようにしてもよい。

【0027】次に、図4(b)に示すように、保護膜16と第3の層間絶縁膜14を周知のフォトリソグラフィ、エッチング法を用いてパターンニングすることにより、シリンダ状の蓄積電極7を形成するための凹部25を形成する。この際、蓄積電極7のシリンダ状の部分と容量コンタクトホール6内のDOPOS膜24とを接続するために、容量コンタクトホール6内のDOPOS膜24の上端が凹部25内に若干突出するように第2の層間絶縁膜13も200nm程度エッチングされるようにエッチング条件を設定する。これにより、シリンダ部分の高さhは1 μ m程度となる。また、隣接する凹部25と凹部25との間に残存する保護膜16と第3の層間絶縁膜14の部分の幅gは0.15 μ m程度である。

【0028】次に、図5(a)に示すように、凹部25の側面と底面とを覆うように低圧CVD法を用いて膜厚200nmのアモルファスシリコン膜26を全面に成膜する。このアモルファスシリコン膜26が後で蓄積電極7となる。ここでは、アモルファスシリコン膜26に代えて、ポリシリコン膜とアモルファスシリコン膜との積層膜としてもよい。

【0029】ここで、全面にポジ型レジスト(図示せず)を塗布し、全面露光を行った後、現像を行う。すると、保護膜16および第3の層間絶縁膜14の上方にあるレジストは除去されるが、凹部25の中だけは感光されなかったレジストが残り、このレジストが次のCMP工程でシリンダ状のアモルファスシリコン膜26を保護する保護材として働く。この状態で次にCMPを行うと、図5(b)に示すように、保護膜16および第3の層間絶縁膜14の上方にあるアモルファスシリコン膜26は除去されて、凹部25の側面と底面に沿う部分にのみアモルファスシリコン膜26が残存し、蓄積電極7が形成される。CMP後、不要となったレジストを除去する。

【0030】次に、蓄積電極7をなすアモルファスシリコン膜26のHSG化工程の前処理としてフッ酸処理を行うことにより、アモルファスシリコン膜26の表面に形成された膜厚数nm以下の自然酸化膜を除去する。この際には、フッ酸：水が1：200のエッチング液を用い、このエッチング液中にウェハを8分間浸漬する。その後、IPA乾燥を行う。

10

20

30

40

50

【0031】次に、モノシランガスまたはジシランガス等のシリコン原子を含むガス雰囲気下の高真空中で、550℃～580℃程度の温度で熱処理を行うと、図2に示すように、アモルファスシリコン膜26の表面にHSG21が成長し、表面積の大きい蓄積電極7が形成される。その後、蓄積電極7上にシリコン窒化膜からなる容量絶縁膜を形成し、次いで、DOPOS膜からなる対向電極22を形成する。以上の工程により、図2に示す本実施の形態のDRAMメモリセルが完成する。

【0032】本実施の形態のDRAMメモリセルにおいては、第3の絶縁膜14上に保護膜16としてシリコン窒化膜が形成されているが、シリコン窒化膜はフッ酸に対するエッチング耐性を持っているため、HSG化工程の前処理として自然酸化膜除去のためにフッ酸エッチングを行っても、保護膜16と第3の絶縁膜14は除去されずにそのまま残存する。よって、保護膜を形成しない従来の製造方法のように、シリンドラ状の蓄積電極7の上端が絶縁膜上に突出することがない。

【0033】本実施の形態で適用したプロセスはゲート長が0.23 μ m程度の微細化プロセスであり、隣接する蓄積電極7間の寸法が0.15 μ mであるから、従来の方法であれば、粒径が0.05～0.1 μ m程度のHSG21同士が接触することは十分に考えられる。しかしながら、本実施の形態の製造方法によれば、上記保護膜16の存在により隣接する蓄積電極7の外面向対向するようなことはなく、互いに接近する方向にHSG21が成長することがないので、ショート不良の発生を確実に防止することができる。その結果、歩留まりの低下を招くことなく、DRAMメモリセルの微細化を図ることができる。

【0034】また、本実施の形態の場合、アモルファスシリコン膜26のCMPを行って蓄積電極7のシリンドラ部を形成する際に、アモルファスシリコン膜26の凹部にレジストを埋め込んでいるので、蓄積電極7となる凹部内のアモルファスシリコン膜26までもがCMPの研磨剤に侵される恐れがなく、所定の形状を有する蓄積電極を形成することができる。

【0035】〔第2の実施の形態〕以下、本発明の第2の実施の形態を図6、図7を参照して説明する。図6は本実施の形態のDRAM（半導体装置）のメモリセルを示す平面図、図7は図6のB-B'線に沿う断面図である。本実施の形態はCUB構造のDRAMメモリセルに本発明を適用した例であるが、以下では構成のみを説明し、製造方法の説明は省略する。

【0036】図6に示すように、1つの拡散層パターン1内を2本のゲート線2が横断し、2つのトランジスタ3が形成されている。これを1組とすると、図6では2組分を図示している。各トランジスタ3のソース領域（またはドレイン領域）を構成するn型不純物拡散層4上に容量コンタクトホール6が形成され、容量コンタ

クトホール6を内部に含むように蓄積電極7のパターンがそれぞれ形成されている。本実施の形態のCUB構造の場合は第1の実施の形態のCOB構造の場合と異なり、容量コンタクトホール6上を通るようにビット線8を配置することができる。したがって、拡散層パターン1上にビット線8が通り、容量コンタクトホール6とビットコンタクトホール9とが直線状に配置されている。本実施の形態の場合、ビットコンタクトホール9の位置関係が第1の実施の形態と異なるため、異なる拡散層パターン1上に位置する蓄積電極7の間が、メモリセル全体の中で蓄積電極7同士の間隔が最も狭い箇所であり、その間隔gは例えば0.15 μ m程度である。

【0037】図7を用いて上記メモリセルの断面構造を説明すると、シリコン基板10の表面にトレンチ素子分離酸化膜11が形成され、素子分離領域以外の活性領域にそれぞれトランジスタ3が形成されている。トランジスタ3の上方には第1の層間絶縁膜12を介して第2の層間絶縁膜13の内部に埋め込まれた形のキャパシタ15が形成され、第2の層間絶縁膜13上に保護膜16が形成されている。さらに、キャパシタ15上に第3の層間絶縁膜14が形成され、第3の層間絶縁膜14上にはビット線8が形成されている。本実施の形態における各膜の材料は、第1の実施の形態と同様である。なお、図7においてトレンチ素子分離酸化膜11上に配置されたゲート電極19は、図6で示したメモリセルの前段または後段のトランジスタのゲート電極となっている。

【0038】トランジスタ3のゲート電極19はDOPOS膜17とタングステンシリサイド膜18のタングステンポリサイド膜からなり、ゲート電極19の側壁にサイドウォール20が形成され、n型不純物拡散層4、5はLDD構造となっている。トランジスタ3をなす一方のn型不純物拡散層4に容量コンタクトホール6を介してキャパシタ15の蓄積電極7が接続され、蓄積電極7をなすシリコン膜表面には多数のHSG21が形成されている。そして、蓄積電極7上に容量絶縁膜（図示略）、対向電極22が順次形成され、キャパシタ15が構成されている。また、他方のn型不純物拡散層5にビットコンタクトホール9を介してビット線8が接続されている。

【0039】本実施の形態の場合も、第2の層間絶縁膜13上の保護膜16の存在により、HSG化工程の前処理のフッ酸エッチングで第2の層間絶縁膜13が後退することがなく、HSG化による蓄積電極7同士のショート不良を防止できる、という第1の実施の形態と同様の効果を奏することができる。また、本実施の形態のCUB構造ではキャパシタ15上にビット線8が位置するためにキャパシタ15の高さが制約されるが、本方法によれば、ショート不良が生じることなく、HSG21の形成によりキャパシタ15の表面積を十分に大きくすることができ、限られた占有面積で所定の容量値を有するキ

ャバシタを形成することができる。

【0040】なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。例えば上記実施の形態では保護膜としてシリコン窒化膜を用いた例を示したが、フッ酸エッチングに対する耐性を有する膜であれば、シリコン窒化膜に限らず、酸化アルミニウム膜、炭化ケイ素膜等を用いることもできる。また、上記実施の形態では第3の層間絶縁膜、第2の層間絶縁膜上の全面に保護膜を形成し、最後までこの保護膜を残した。この方法が最も単純であるが、蓄積電極間のショート防止という本発明の目的からすると、HSG化処理後に保護膜を除去してもよい。もしくは、少なくとも隣接する蓄積電極の間に位置する絶縁膜の上面にさえ保護膜があればよいので、例えばこの箇所にのみ保護膜が存在し、他の蓄積電極と対向しない側には保護膜を形成しないか、または除去する構成としてもよい。

【0041】また、上記実施の形態で示した各種膜の膜厚や寸法等の具体的な数値に関してはほんの一例にすぎず、適宜変更が可能なのは勿論である。さらに、上記実施の形態では本発明をDRAMに適用した例を挙げたが、同様のシリンドラ型キャバシタを有する他の半導体装置に本発明を適用することもできる。

【0042】

【発明の効果】以上、詳細に説明したように、本発明によれば、隣接する下部電極の間に位置する絶縁膜の上面にシリコン酸化膜のエッチングに対する耐性を有する保護膜が形成されているため、HSG化工程の前処理として酸化膜エッチングを行ってもこの部分が後退することがなく、シリンドラ状の下部電極の上端が保護膜上に突出することがない。したがって、隣接する下部電極同士で互いに接近する方向にHSGが成長することがなく、下部電極同士のショート不良の発生を確実に防止することができる。その結果、歩留まりの低下を招くことなく、本発明を適用する半導体装置の微細化に寄与することが

できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態であるDRAMのメモリセルを示す平面図である。

【図2】 同メモリセルを示す図であり、図1のA-A'線に沿う断面図である。

【図3】 同メモリセルの製造工程を示す工程断面図である。

【図4】 同工程断面図の続きである。

【図5】 同工程断面図の続きである。

【図6】 本発明の第2の実施の形態であるDRAMのメモリセルを示す平面図である。

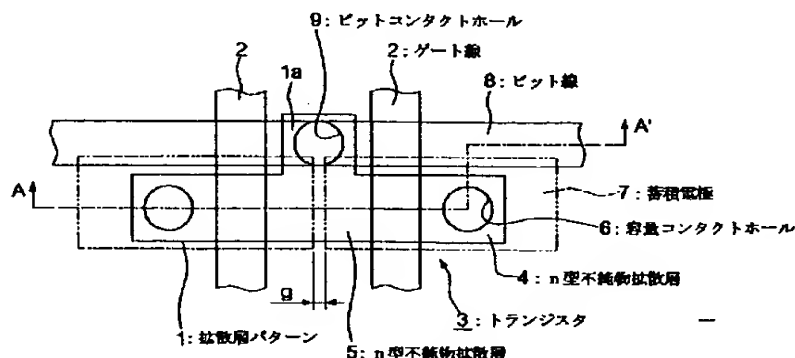
【図7】 同メモリセルを示す図であり、図6のB-B'線に沿う断面図である。

【図8】 従来のDRAMメモリセルの製造工程の一例を示す工程断面図である。

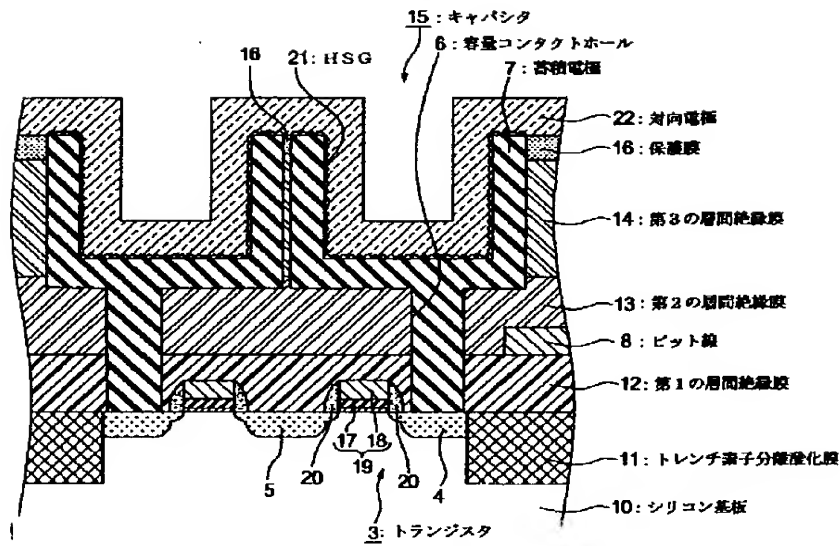
【符号の説明】

- 1 拡散層パターン
- 2 ゲート線
- 3 トランジスタ
- 4, 5 n型不純物拡散層
- 6 容量コンタクトホール
- 7 蓄積電極（下部電極）
- 8 ビット線
- 9 ビットコンタクトホール
- 10 シリコン基板（半導体基板）
- 12 第1の層間絶縁膜
- 13 第2の層間絶縁膜
- 14 第3の層間絶縁膜
- 15 キャバシタ
- 16 保護膜
- 21 HSG（シリコン粒）
- 22 対向電極
- 25 凹部
- 26 アモルファスシリコン膜

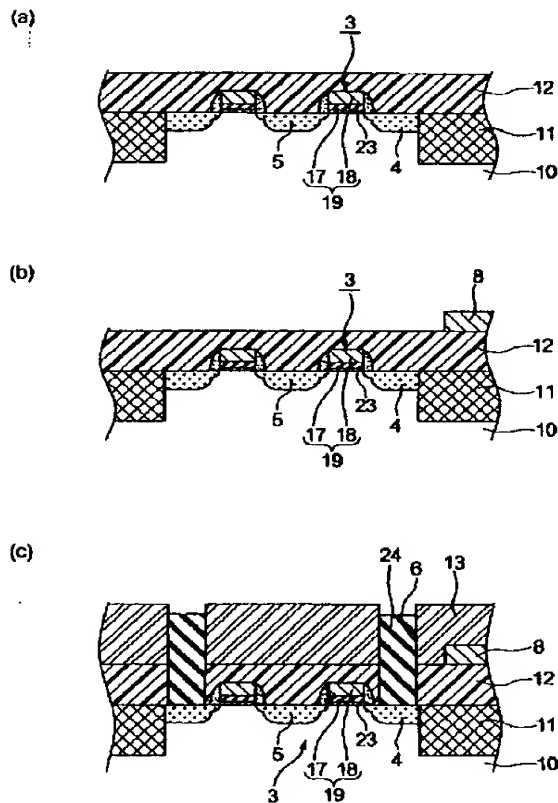
【図1】



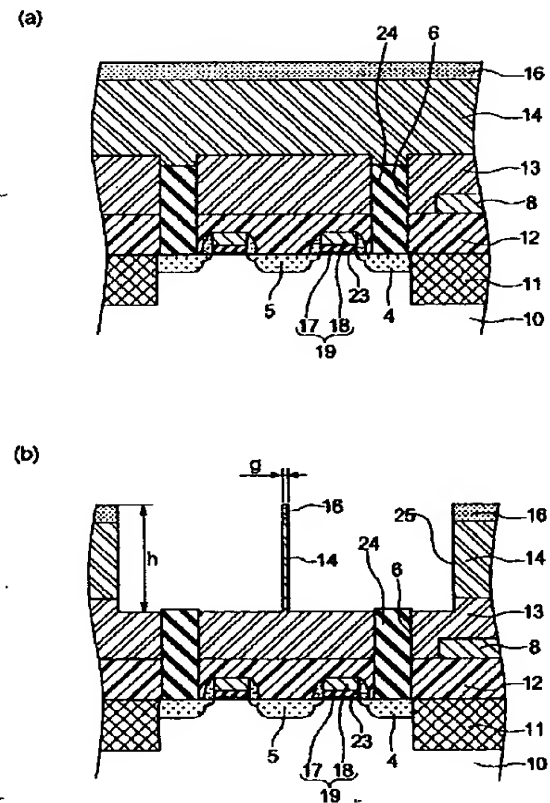
【図2】



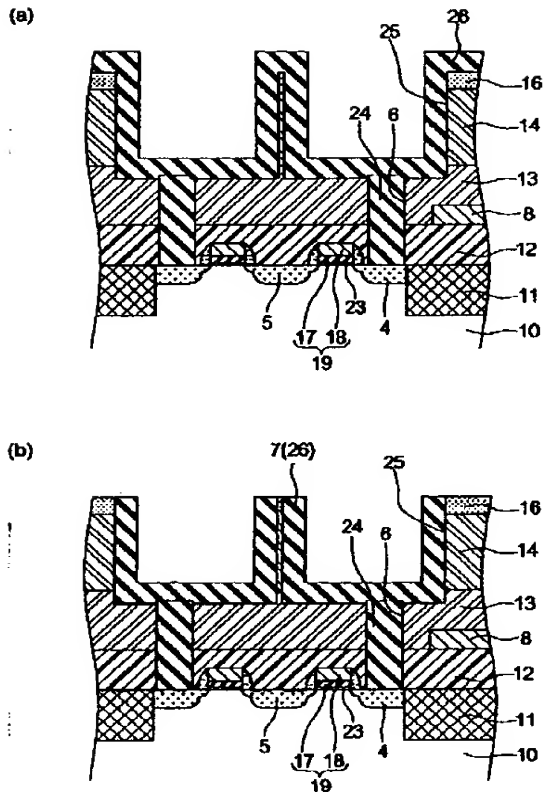
【图3】



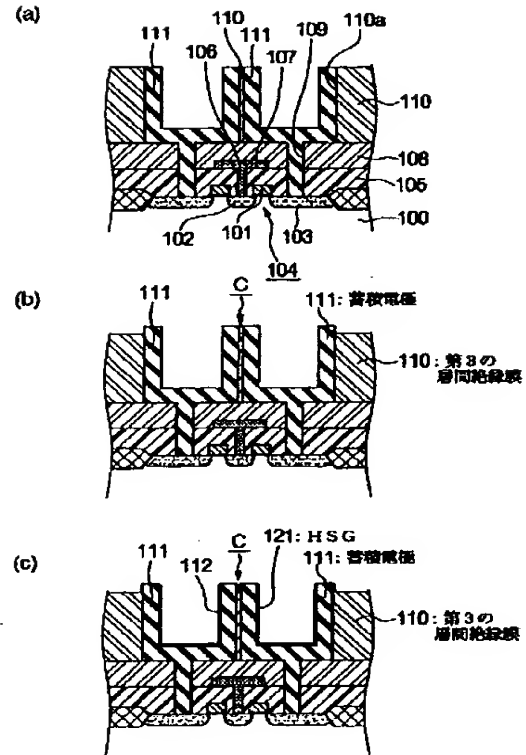
【図4】



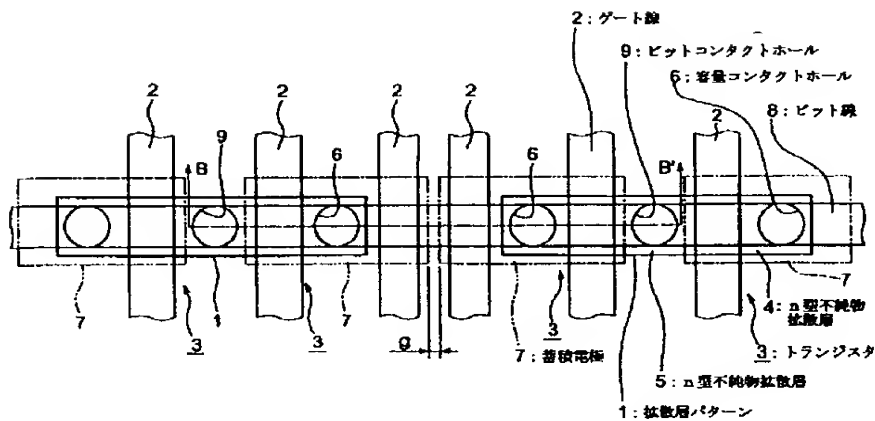
【図5】



【図8】



【図6】



1: ビットコンタクトホール
2: ビットパッド
3: トランジスタ
4: トレンチ素子分離膜
5: シリコン基板
6: 容量コンタクトホール
7: 蓄積電極
8: ビットパッド
9: ビットコンタクトホール
10: シリコン基板
11: トレンチ素子分離膜
12: 第1の層間絶縁膜
13: 第2の層間絶縁膜
14: 第3の層間絶縁膜
15: キャパシタ
16: 保護膜
17: ビットパッド
18: ビットコンタクトホール
19: トレンチ素子分離膜
20: シリコン基板
21: HSG
22: 蓄積電極

F ターム(参考) 5F038 AC01 AC02 AC05 AC15 AR08
AV06 BH03 BH07 DF05 EZ13
EZ15
5F083 AD24 AD48 AD62 GA09 GA30
JA19 JA35 JA39 JA53 MA06
MA17 MA19 NA01 PR21 PR36
PR40